

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 17 651.9

Anmeldetag: 17. April 2003

Anmelder/Inhaber: ROBERT BOSCH GMBH, 70469 Stuttgart/DE

Bezeichnung: Verfahren und Vorrichtung zum Vergleichen von
binären Datenworten

IPC: G 06 F 11/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 29. März 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stanschus

ROBERT BOSCH GMBH, 70442 STUTTGART

Verfahren und Vorrichtung zum Vergleichen von binären Datenworten

5

STAND DER TECHNIK

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Vergleichen von binären Datenworten, und insbesondere ein Verfahren und eine Vorrichtung zum Vergleichen von redundanten Datenworten
10 mittels einem Mikroprozessor.

Bei sicherheitsrelevanten Systemen, wie z.B. einem ABS-Regelsystem in einem Kraftfahrzeug, in denen Fehlfunktionen der Elektronik sicher detektiert werden müssen, werden gerade bei den entsprechenden Steuereinrichtungen solcher Systeme üblicherweise Redundanzen zur Fehlererkennung vor-
15 gesehen. So ist beispielsweise in bekannten ABS-Systemen jeweils der komplette Mikrocontroller dupliziert, wobei die gesamten ABS-Funktionen redundant berechnet und auf Übereinstimmung geprüft werden. Tritt eine Diskrepanz der Ergebnisse auf, so wird das ABS-System abgeschaltet.

Anstelle von zwei kompletten Mikrocontrollern werden zur Kostenreduktion bekanntermaßen zwei
20 CPUs (zentrale Recheneinheiten) auf einem Silizium-Chip implementiert. Dabei werden ebenfalls alle Funktionen redundant berechnet und die jeweiligen Ausgabewerte miteinander verglichen. Ein solcher Mikrocontroller wird als Dual-Core-Rechner bezeichnet. Bei einem Dual-Core-Rechner erfolgt in der Regel ein bit-genauer Vergleich der redundant berechneten Daten. Daraus resultiert, daß auch bei einer Diskrepanz der niederwertigen Bits von Daten (LSB, least significant bits) eine für den Fehler-
25 fall spezifizierte Systemreaktion, wie beispielsweise ein Abschalten, auftritt, obwohl sich ein solcher Fehler in den niederwertigen Daten-Bits nicht signifikant auswirken würde. Darauf folgt ein Verfügbarkeitsproblem, da das System demgemäß auch in Fehlerfällen abgeschaltet wird, in denen eine Abschaltung nicht erforderlich wäre.

30 Allgemein betrachtet erfolgt bei derzeitigen Systemen eine von der Relevanz der verfälschten Daten unabhängige Fehlerbehandlung. Mit anderen Worten hat es eine gleiche Systemreaktion zur Folge, egal, ob ein Fehler in höherwertigen oder niederwertigen Bits, Adressen oder Daten auftritt.

Eine vergleichbare Problematik tritt auch im Einsatz redundanter Kommunikationssysteme zu Tage.
35 Dort werden Nachrichten einzelner Kanäle in der Regel mit einer Prüfsumme, z.B. CRC, ausgestattet,

wobei jedoch die Codierung und Decodierung jeweils in einem Kommunikationscontroller, und nicht im Mikrocontroller selbst erfolgt, der die eigentliche Quelle bzw. das Ziel der Daten ist.

VORTEILE DER ERFINDUNG

5

Das Verfahren und die Vorrichtung zum Vergleichen von binären Datenworten gemäß der vorliegenden Erfindung mit den Merkmalen des Anspruchs 1 bzw. 7 weist gegenüber bekannten Lösungsansätzen den Vorteil auf, daß eine situationsgerechte Fehlerbehandlung in Abhängigkeit von der Relevanz der zu vergleichenden Daten und von der Wertigkeit der fehlerhaften Bits ermöglicht wird.

10

Mit anderen Worten wird eine auf die Wertigkeit der Daten bezogene Fehler-"Lokalisierung" und folglich die Möglichkeit einer situationsabhängigen Fehlerbehandlung bereitgestellt. Daraus ergibt sich gegenüber bekannten Realisierungen eine Erhöhung der Verfügbarkeit, z.B. eines Prozessor-systems, da bei Fehlern, die keine signifikanten Systemauswirkungen haben, eine andere Fehlerbe-handlungsstrategie als eine Pauschal-Fehlerbehandlungsstrategie eingesetzt werden kann.

15

20

Gemäß der vorliegenden Erfindung wird somit ein Verfahren zum Vergleichen von binären Datenworten mit den Schritten bereitgestellt: Aufteilen eines ersten und zweiten miteinander zu verglei-chenden Datenwortes jeweils in mindestens ein Teilwort höherwertiger Bits und ein Teilwort nieder-wertiger Bits; separates Vergleichen jeweils der Teilworte in jeweils einer Vergleichseinrichtung; und Verknüpfen der Vergleichszwischenergebnisse der Vergleichseinrichtungen in einer Verknüpfungs-einrichtung, vorzugsweise einem UND-Gatter, zu einem Gesamtergebnis in Abhängigkeit eines Steu-ersignals, welches an einer Korrekturereinrichtung anliegt, die zwischen mindestens einer der Ver-gleichseinrichtungen und der Verknüpfungseinrichtung geschaltet ist..

25

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des im An-spruch 1 angegebenen Verfahrens sowie der in Anspruch 6 angegebenen Vorrichtung zum Vergleich von binären Datenworten.

30

Gemäß einer bevorzugten Weiterbildung erfolgt das Aufteilen der Datenworte in einem Mikroprozes-sorsystem, in welchem redundante Datenworte auf Übereinstimmung überprüft werden. Dies hat den Vorteil, daß in einem Mikroprozessorsystem entsprechend redundante Datenworte in Teilworte aufge-spaltet miteinander von der Relevanz abhängig verglichen werden können.

35

Gemäß einer weiteren bevorzugten Weiterbildung wird in Abhängigkeit des Steuersignals und/oder eines negativen Vergleichszwischenergebnisses ein Ersatzergebnis anstelle des Vergleichszwischener-gebnisses der Vergleichseinrichtung der Teilworte der niederwertigen Bits mit dem Vergleichszwi-

schenergebnis der Vergleichseinrichtung der Teilworte der höherwertigen Bits verknüpft. Dies birgt den Vorteil eines positiven Gesamtergebnisses, obwohl bei den niederwertigen Bits beim Vergleich beider Datenworte eine Diskrepanz aufgetreten ist. Aufgrund des positiven Gesamtergebnisses wird somit keine Fehlerstrategie initiiert.

5

Gemäß einer weiteren bevorzugten Weiterbildung wird das Steuersignal durch das Steuerwerk eines Mikroprozessors gebildet, welches die Ausgabe des Ersatzwertes anstelle des Vergleichszwischenergebnisses in Abhängigkeit von einer Zieladresse der zu vergleichenden Datenworte erzeugt. Somit wird eine einfache Möglichkeit der Steuerung, ob der Ersatzwert anstelle des Vergleichszwischenergebnisses ausgegeben werden soll, bereitgestellt.

10

Gemäß einer weiteren bevorzugten Weiterbildung wird das Steuersignal durch das Steuerwerk eines Mikroprozessors gebildet, welches die Ausgabe des Ersatzwertes anstelle des Vergleichszwischenergebnisses in Abhängigkeit von Anweisungen im Programm-Code des Mikroprozessors erzeugt. Auch hier wird vorteilhaft eine alternative Steuerung, ob der Ersatzwert anstelle des Vergleichszwischenergebnisses ausgegeben werden soll, bereitgestellt.

15

ZEICHNUNG

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert.

20

Es zeigt:

Fig. 1 ein schematisches Blockdiagramm zur Erläuterung einer Ausführungsform der vorliegenden Erfindung.

25

BESCHREIBUNG DER AUSFÜHRUNGSBEISPIELE

In Fig. 1 ist ein schematisches Blockschaltbild einer exemplarischen Vergleichsschaltung dargestellt. Darin wird ein erstes Datenwort A mit einem zweiten Datenwort B verglichen, wobei in einer ersten Vergleichseinrichtung 10, vorzugsweise einem Komparator, jeweils ein Teilwort hA, hB höherwertiger Bits und in einer zweiten Vergleichseinrichtung 11, vorzugsweise ebenfalls einem Komparator, ein weiteres Teilwort nA, nB niederwertiger Bits der zu vergleichenden Datenworte A, B miteinander verglichen werden. In einer Einrichtung (nicht dargestellt) zum Aufteilen von Datenworten werden die jeweiligen Datenworte A, B entsprechend in die Teildatenworte hA, nA; hB, nB separiert in Teilworte mit Bits einer hohen Wertigkeit hA, hB und niedriger Wertigkeit nA, nB.

35

Ein Vergleichszwischenergebnis 12 der Vergleichseinrichtung 10 der Teildatenworte hA , hB höherer Wertigkeit wird mit einem Vergleichszwischenergebnis 13 der Vergleichseinrichtung 11 der Teildatenworte nA , nB niedriger Wertigkeit in einer Verknüpfungseinrichtung 14 miteinander zu einem
5 Gesamtergebnis 15 verknüpft. Die Verknüpfungseinrichtung 14 wird vorzugsweise aus einem UND-Gatter gebildet. In Abhängigkeit eines Steuersignals 16, vorzugsweise von einem Steuerwerk eines Mikrocontrollers, auf welchem vorzugsweise der Datenwortvergleich abläuft, wird entweder das Vergleichszwischenergebnis 13 des Teildatenwortvergleichs der Bits niedrigerer Wertigkeit nA , nB oder ein Ersatzwert 17, vorzugsweise eine 1, aus diesem Strang an die Verknüpfungseinrichtung 14 weiter-
10 gegeben. Vorzugsweise ergeht das Vergleichszwischenergebnis 13 an eine Zähleinrichtung 18, welche die positiven und/oder negativen Vergleichsergebnisse detektiert. Ein positives Vergleichsergebnis resultiert, wenn beide Teildatenworte, z.B. nA und nB , bit-genau übereinstimmen.

Das Steuersignal 16 wird einer Korrektureinrichtung 19, vorzugsweise einem Multiplexer, zugeführt,
15 welcher eingangsseitig mit dem Ersatzwert 17 und dem Vergleichszwischenergebnis 13 beaufschlagt ist und dessen Ausgang mit der Verknüpfungseinrichtung 14 in Verbindung steht. Ist das Vergleichszwischenergebnis 12 des Teildatenwortvergleichs mit Bits höherer Wertigkeit positiv, das Vergleichszwischenergebnis 13 des Teildatenwortvergleichs mit Bits niedrigerer Wertigkeit jedoch negativ, d.h. im unteren Bit-Bereich besteht eine Diskrepanz zwischen dem Datenwort A und dem redundanten zu
20 vergleichenden Datenwort B, so besteht über das Steuersignal 16 bzw. die Korrektureinrichtung 19 die Möglichkeit, einen Ersatzwert 17 anstelle des negativen Vergleichsergebnisses 13 an die Verknüpfungseinrichtung 14 weiterzugeben und somit dennoch ein positives Gesamtergebnis des Vergleichs 15 abzugeben, so daß keine besondere Fehlerprozedur, wie beispielsweise ein Abschalten, erfolgt.

25 Durch Aufteilung eines Datenwortes A, B in mehrere Teilworte hA , nA ; hB , nB und durch einen getrennten Vergleich der jeweiligen Teilworte hA , hB ; nA , nB kann festgestellt werden, ob ein Fehler in den höher- oder niederwertigen Bits eines Datenwortes A, B aufgetreten ist. Normalerweise muß jeder der Teilvergleiche in den Vergleichseinrichtungen 10, 11 ein positives Resultat aufweisen, damit das Gesamtergebnis positiv, d.h. gültig, ist. Dies gilt auch gemäß der vorliegenden Erfindung bei Primär-
30 daten, d.h. wichtigen Daten, wie beispielsweise Adress- und Statusdaten. Des weiteren treten jedoch auch Sekundärdaten, d.h. weniger wichtige Daten, auf, wie beispielsweise Führungsgrößen, Stellgrößen, Regelgrößen, bei denen eine Abweichung in den Bits mit niedriger Wertigkeit keine signifikante Auswirkung auf das Systemverhalten zeigt, eine Abweichung bei den Bits höherer Wertigkeit jedoch eine Fehlerbehandlung, d.h. eine besondere Fehlerstrategie, erfordert. Deshalb soll bei den Sekundär-
35 daten ein negatives Vergleichszwischenergebnis 13 bei Bits niederer Wertigkeit keine Abschaltung des Systems zur Folge haben.

Mit Hilfe eines von einem Steuerwerk (nicht dargestellt) gebildeten Signals 16 wird umgeschaltet, ob nur das Teilergebnis 13 des Vergleichs der höherwertigen Bits oder auch das Teilergebnis des Vergleichs der niederwertigen Bits zur Bildung des Gesamtergebnisses 15 herangezogen wird. Zusätzlich wird die Information 13 bereitgestellt, ob der Vergleich der niederwertigen Bits nA , nB ein positives Resultat aufweist. Vorzugsweise erzeugt das Steuerwerk (nicht dargestellt) die Steuersignale 16 zur Umschaltung zwischen dem Vergleichszwischenergebnissignal 13 und dem Ersatzwert 17 zur Bildung des Gesamtergebnisses 15 in Abhängigkeit von der Zieladresse der zu vergleichenden Daten A, B. Dabei müssen bestimmte Register für Daten, welche bit-genau verglichen werden sollen, z.B. mittels eines Programm-Counters für Adreßdaten, gekennzeichnet sein. Alternativ dazu erzeugt das Steuerwerk (nicht dargestellt) die Steuersignale 16 zur Umschaltung, vorzugsweise aufgrund von Zusatzbefehlen im Programm-Code. Dabei kann von einem Programmierer festgelegt werden, welche Daten verglichen werden sollen.

Der Einsatz dieser Erfindung in Verbindung mit zu vergleichenden Daten, z.B. aus redundantem Empfang oder redundanter Berechnung, ist beispielsweise in allen sicherheitsrelevanten Fahrzeugsystemen, wie z.B. ABS, ESP, Lenk- und Fahrwerkregelungen, vorstellbar.

Obwohl die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

So ist insbesondere eine Aufteilung und ein entsprechender Vergleich der miteinander zu vergleichenden Datenworte in mehr als zwei Teildatenworte vorstellbar. Darüber hinaus besteht die Möglichkeit, die Relevanz der zu vergleichenden Teilworte auch anders festzulegen als über niederwertige und höherwertige Bits. Außerdem sind die beschriebenen Elemente, wie Komparatoren, Zähler, UND-Gatter bzw. Multiplexer, beispielhaft zu betrachten.

ROBERT BOSCH GMBH, 70442 STUTTGART

5 Verfahren und Vorrichtung zum Vergleichen von binären Datenworten

PATENTANSPRÜCHE

1. Verfahren zum Vergleichen von binären Datenworten mit den Schritten:

10

Aufteilen eines ersten und zweiten miteinander zu vergleichenden Datenwortes (A, B) jeweils in mindestens ein Teilwort (hA , hB) höherwertiger Bits und ein Teilwort (nA , nB) niederwertiger Bits;

15

separates Vergleichen jeweils der Teilworte (hA , hB ; nA , nB) in jeweils einer Vergleichseinrichtung (10, 11);

20

Verknüpfen der Vergleichszwischenergebnisse (12, 13) der Vergleichseinrichtungen (10, 11) in einer Verknüpfungseinrichtung (14), vorzugsweise einem UND-Gatter, zu einem Gesamtergebnis (15) in Abhängigkeit eines Steuersignals (16), welches an einer Korrektureinrichtung (19) anliegt, die zwischen mindestens einer der Vergleichseinrichtungen (10, 11) und der Verknüpfungseinrichtung (14) geschaltet ist.

25

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet,

daß das Aufteilen der Datenworte (A, B) in einem Mikroprozessorsystem erfolgt, in welchem redundante Datenworte (A, B) auf Übereinstimmung überprüft werden.

30

3. Verfahren nach einem der vorangehenden Ansprüche,

dadurch gekennzeichnet,

daß in Abhängigkeit des Steuersignals (16) und/oder eines negativen Vergleichszwischenergebnisses (13) ein Ersatzergebnis (17) anstelle des Vergleichszwischenergebnisses (13) der Vergleichseinrichtung (11) der Teilworte (nA , nB) der niederwertigen Bits mit dem Vergleichszwischenergebnis (12) der Vergleichseinrichtung (10) der Teilworte (hA , hB) der höherwertigen Bits verknüpft wird.

35

4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet,
daß das Steuersignal (16) durch das Steuerwerk eines Mikroprozessors gebildet wird, welches
5 die Ausgabe des Ersatzwertes (17) anstelle des Vergleichszwischenergebnisses (13) in Abhän-
gigkeit von einer Zieladresse der zu vergleichenden Datenworte (A, B) erzeugt.
5. Verfahren nach Anspruch 3,
dadurch gekennzeichnet,
daß das Steuersignal (16) durch das Steuerwerk eines Mikroprozessors gebildet wird, welches
10 die Ausgabe des Ersatzwertes (17) anstelle des Vergleichszwischenergebnisses (13) in Abhän-
gigkeit von Anweisungen im Programm-Code des Mikroprozessors erzeugt.
6. Vorrichtung zum Vergleichen von binären Datenworten mit:
15 einer Einrichtung zum Aufteilen eines ersten und zweiten miteinander zu vergleichenden Da-
tenwortes (A, B) jeweils in mindestens ein Teilwort (hA, hB) höherwertiger Bits und ein
Teilwort (nA, nB) niederwertiger Bits;
20 jeweils einer Vergleichseinrichtung (10, 11) zum separaten Vergleichen jeweils der Teilworte
(hA, hB; nA, nB) und zum Ausgeben eines jeweiligen Vergleichszwischenergebnisses (12, 13)
der Vergleichseinrichtung (10, 11);
25 einer Verknüpfungseinrichtung (14), vorzugsweise einem UND-Gatter, zum Verknüpfen der
Vergleichszwischenergebnisse (12, 13) der Vergleichseinrichtung (10, 11) zu einem Gesamt-
ergebnis (15) in Abhängigkeit eines Steuersignals (16), welches an einer Korrekturereinrichtung
(19) anliegt, die zwischen mindestens einer der Vergleichseinrichtungen (10, 11) und der Ver-
knüpfungseinrichtung (14) geschaltet ist.
7. Vorrichtung nach Anspruch 6,
30 dadurch gekennzeichnet,
daß das Aufteilen der Datenworte (A, B) in einem Mikroprozessorsystem erfolgt, in welchem
redundante Datenworte (A, B) auf Übereinstimmung überprüfbar sind.
8. Vorrichtung nach Anspruch 6 oder 7,
35 dadurch gekennzeichnet,
daß in Abhängigkeit des Steuersignals (16) und/oder eines negativen Vergleichszwischener-
gebnisses (13) ein Ersatzergebnis (17) anstelle des Vergleichszwischenergebnisses (13) der

Vergleichseinrichtung (11) der Teilworte (nA , nB) der niederwertigen Bits mit dem Vergleichszwischenergebnis (12) der Vergleichseinrichtung (10) der Teilworte (hA , hB) der höherwertigen Bits in einer Verknüpfungseinrichtung (14) verknüpfbar sind.

ROBERT BOSCH GMBH, 70442 STUTTGART

Verfahren und Vorrichtung zum Vergleichen von binären Datenworten

5

ZUSAMMENFASSUNG

Die vorliegende Erfindung stellt ein Verfahren zum Vergleichen von binären Datenworten mit den Schritten bereit: Aufteilen eines ersten und zweiten miteinander zu vergleichenden Datenwortes (A, B) jeweils in mindestens ein Teilwort (hA , hB) höherwertiger Bits und ein Teilwort (nA , nB) niederwertiger Bits; separates Vergleichen jeweils der Teilworte (hA , hB , nA , nB) in jeweils einer Vergleichseinrichtung (10, 11); Verknüpfen der Vergleichszwischenergebnisse (12, 13) der Vergleichseinrichtungen (10, 11) in einer Verknüpfungseinrichtung (14), vorzugsweise einem UND-Gatter, zu einem Gesamtergebnis (15) in Abhängigkeit eines Steuersignals (16), welches an einer Korrektureinrichtung (19) anliegt, die zwischen mindestens einer der Vergleichseinrichtungen (10, 11) und der Verknüpfungseinrichtung (14) geschaltet ist. Die vorliegende Erfindung stellt ebenfalls eine Vorrichtung zum Vergleichen von binären Datenworten bereit.

20 Fig. 1

Fig. 1

